



Europäisches Patentamt  
European Patent Office  
Office européen des brevets

4034043  
H04L 25/08

Veröffentlichungsnummer: 0 482 392 A2

⊕

## EUROPÄISCHE PATENTANMELDUNG

⊕ Anmeldenummer: 91116818.5

⊕ Int. Cl.<sup>3</sup> H04L 25/08

⊕ Anmeldetag: 02.10.91

⊕ Priorität: 26.10.90 DE 4034043

⊕ Veröffentlichungstag der Anmeldung:  
29.04.92 Patentblatt 92/18

⊕ Benannte Vertragsstaaten:  
AT BE CH DE DK ES FR GB IT LI NL SE

⊕ Anmelder: Standard Elektrik Lorenz  
Aktiengesellschaft  
Lorenzstrasse 10  
W-7000 Stuttgart 40(DE)

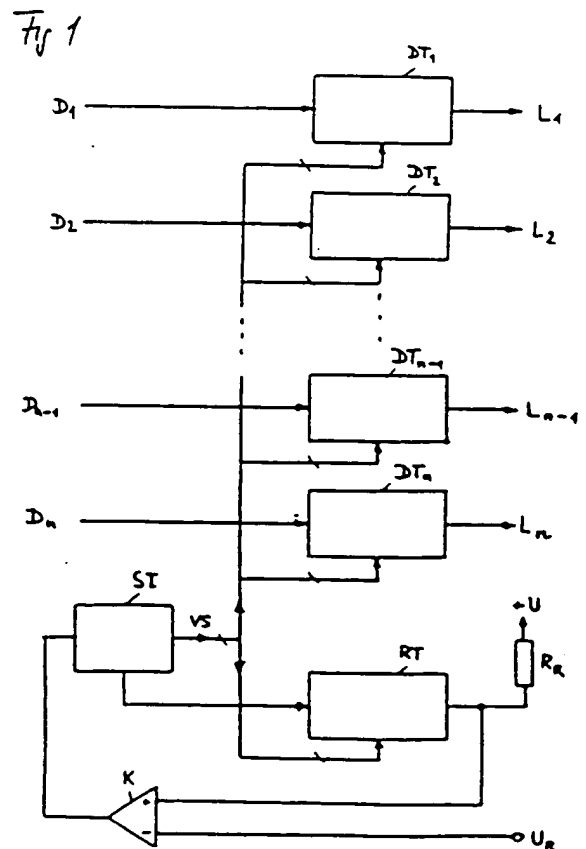
⊕ Erfinder: Banniza, Thomas  
Max-Eyth-Strasse 14  
W-7254 Hemmingen(DE)

⊕ Vertreter: Pechhold, Eberhard, Dipl.-Phys. et  
al  
Standard Elektrik Lorenz AG Patent- und  
Lizenzwesen Postfach 30 09 29  
W-7000 Stuttgart 30(DE)

DOC

⊕ Schaltungsanordnung zur Bereitstellung eines Ausgangsstromes für einen Datentreiber.

⊕ Es wird eine Schaltungsanordnung zur Bereitstellung eines vorgegebenen Ausgangsstromes für einen auf eine Übertragungsleitung (L) arbeitenden Datentreiber (DT) angegeben. Der Ausgangsstrom fließt hier über mehrere parallelgeschaltete Teilstrompfade, von denen jeweils so viele von einer Steuerschaltung (ST) durchgeschaltet werden, daß sich als Gesamtstrom der gewünschte Ausgangsstrom ergibt. Die Steuerschaltung wird ihrerseits von einem Komparator (K) angesteuert, der die Ausgangsspannung des Datentreibers oder eines gleichartigen Referenzdatentreibers (RT) mit einer Referenzspannung ( $U_R$ ) vergleicht und die Steuerschaltung zum Zuschalten oder Abschalten von Teilstrompfaden veranlaßt, wenn die Ausgangsspannung des Datentreibers von der Referenzspannung abweicht.



Die Erfindung betrifft eine Schaltungsanordnung gemäß dem Oberbegriff des Patentanspruchs 1.

Um Breitbandsignale unverfälscht über eine Leitung zu übertragen ist es erforderlich, die Ausgangsimpedanz des Senders und die Eingangsimpedanz des Empfängers an den Wellenwiderstand der Übertragungsleitung genau anzupassen. Dies ist vor allem dann schwierig, wenn als Sender oder Empfänger integrierte Schaltungen verwendet werden, deren Impedanzen während der Produktion nicht mit vertretbarem Aufwand auf wenige Prozent genau auf einen vorgegebenen Wert eingestellt werden können.

Um dennoch einen genauen Impedanzwert zu erhalten, kann eine Schaltung mit sehr hohem Ausgangs- oder Eingangswiderstand realisiert und diesem extern ein Widerstand zugeschaltet werden. Der externe Widerstand läßt sich vergleichsweise leicht so einstellen, daß der Gesamtwiderstand der erforderlichen Impedanz entspricht.

Die Hochohmigkeit einer solchen Schaltung bedingt, speziell bei der Anpassung von Ausgängen, eine hohe Abhängigkeit des Ausgangspegels sowie aller Pegel auf der getriebenen Leitung vom Ausgangsstrom. Dieser sollte deshalb möglichst genau eingestellt und konstant gehalten werden.

In der Regel ändern sich die Ausgangs-Nennströme von integrierten Schaltungen aber aufgrund von Prozeß-Schwankungen und aufgrund von Temperatur- und Versorgungsspannungsänderungen in Größenordnungen, die in Bipolar-Systemen  $\approx 20\%$ , in CMOS-Systemen über  $\approx 50\%$  erreichen können. Dies führt zu nicht akzeptablen Schwankungen der Signalpegel auf der getriebenen Leitung.

Es wurde deshalb auch bereits versucht, die Ausgangswiderstände der Ausgangsschaltungen konstant zu regeln. Eine derartige Ausgangsschaltung ist z.B. aus einem Aufsatz von Knight und Krymm in IEEE Journal of solid-state circuits, Vol. 23, No. 2, April 1988 bekannt. Diese Schaltung benötigt aber zur Regelung analoge Komponenten wie z.B. Linear-Verstärker (Fig. 9), die sie für Breitbandsignale mit mehr als 50 MBit/s unbrauchbar machen. Außerdem werden hier als Stromquellen niederohmige Schalter benützt, denen integrierte, einstellbare Serienwiderstände zugeschaltet werden.

Es ist Aufgabe der Erfindung, eine Schaltungsanordnung anzugeben, die eine Ausgangsstromregelung ohne Analogschaltungen ermöglicht und die für Breitbandsignale bis 150 MBit/s geeignet ist.

Eine Schaltungsanordnung die diese Aufgabe erfüllt, wird durch die Merkmale des Patentanspruchs 1 beschrieben. Die Parallelschaltung verschiedener Strompfade, die gleiche oder auch unterschiedlich gestaffelte parallele Ausgangswider-

stände bilden, ergeben, den Gesamt-Ausgangswiderstand allein aus Schaltern, digital einzustellen.

Weiterbildungen der Schaltungsanordnung nach der Erfindung sind in den Unteransprüchen angegeben:

So betreffen die Ansprüche 2 und 3 die Bemessung der parallelen Ausgangswiderstände. Anspruch 4 sieht die Ansteuerung von Steuergliedern mehrerer Datentreiber durch eine einzige Steuerschaltung vor. Dabei kann gemäß einer im Anspruch 5 beschriebenen Ausgestaltung der Schaltungsanordnung nach der Erfindung diese einzige Steuerschaltung einem Referenz-Datentreiber zugeordnet sein, der nicht zur Datenübertragung genutzt wird sondern, anstatt auf eine Übertragungsleitung, auf einen vorgegebenen Referenzwiderstand arbeitet.

Gegenstand des Anspruchs 6 ist eine Maßnahme zur Energieeinsparung. Sie verhindert auch eine Erwärmung des Referenzwiderstandes und eine eventuell mit dieser Erwärmung verbundene Änderung des Widerstandswertes.

Die Ansprüche 7 und 8, schließlich, betreffen Ausgestaltungen der Steuerschaltung, die die Steuerglieder eines oder mehrerer Datentreiber ansteuert.

Anhand von Figuren sollen nun Ausführungsbeispiele der Schaltungsanordnung nach der Erfindung eingehend beschrieben und ihre Funktion erklärt werden.

Fig. 1 zeigt ein Blockschaltbild eines Mehrfachdatentreibers mit Referenztreiber.

Fig. 2 zeigt den Aufbau eines Datentreibers.

Fig. 3 zeigt den Aufbau einer Steuerschaltung.

In Fig. 1 sind eine Reihe von Datentreibern  $DT_1, \dots, DT_n$  dargestellt, die ihnen über Dateneingänge  $D_1, \dots, D_n$  zugeführte Signale auf Übertragungsleitungen  $L_1, \dots, L_n$  ausgeben. Die Datentreiber haben definierte, an die Wellenwiderstände der Übertragungsleitungen angepaßte Ausgangsimpedanzen, die durch nicht dargestellte, externe Ausgangswiderstände gebildet werden. Die erforderlichen Ausgangsströme fließen über einen oder mehrere parallelgeschaltete Strompfade, welche durch je ein von einer Steuerschaltung für jeden Strompfad eines Datentreibers separat ausgegebenes Vorbereitungssignal  $VS$  angeschaltet werden.

Die Vorbereitungssignale  $VS$  werden von der Steuerschaltung  $ST$  in Abhängigkeit vom Ausgangssignal eines Komparators  $K$  ausgegeben, der die Ausgangsspannung eines auf einen Referenzwiderstand  $R_R$  arbeitenden Referenzdatentreibers  $RT$  mit einer vorgegebenen Referenzspannung  $U_R$  vergleicht und die Steuerschaltung zur Zuschaltung weiterer Strompfade in den Datentreibern veranlaßt, wenn die am Referenzdatentreiber abgegriffene Ausgangsspannung unter die Referenzspannung

absinkt. Diese Zuschaltung erfolgt durch Ausgabe anderer oder weiterer Vorbereitungssignale, welche sich auf alle Datentreiber einschließlich des Referenzdatentreibers auswirken.

Innerhalb der Datentreiber werden die Vorbereitungssignale mit den über die jeweiligen Dateneingänge einlaufenden Datensignalen konjunktiv verknüpft, so daß über die externen Ausgangswiderstände die gewünschten Nennströme fließen und die Daten damit mit den gewünschten Amplituden auf die Signalleitungen ausgegeben werden.

Der Aufbau eines Datentreibers ist in Fig. 2 wiedergegeben. Mehrere, aus jeweils zwei in Reihe geschalteten MOS-Feldeffekttransistoren (MOSFETS)  $T_{10}$ ,  $T_{20}$ , ...,  $T_{1n}$ ,  $T_{2n}$  aufgebaute Strompfade sind einander parallelgeschaltet und bilden in ihrer Gesamtheit einen Teilwiderstand eines Spannungsteilers. Der andere Teilwiderstand dieses Spannungsteilers ist ein gegen positives Potential  $+U_g$  geschalteter externer Arbeitswiderstand  $R_A$ . An den Verbindungspunkt der beiden Teilwiderstände ist eine Signalleitung  $L$  angeschlossen.

Von den jeweils in Reihe geschalteten MOS-Feldeffekttransistoren dienen die in der Figur oben dargestellten, die MOSFETS  $T_{10}$ , ...,  $T_{1n}$ , der Durchschaltung eines über einen Dateneingang  $D$  zugeführten digitalen Datenstroms. Die in der Figur unten dargestellten MOSFETS  $T_{20}$ , ...,  $T_{2n}$  dienen der Einschaltung der einzelnen Strompfade in Abhängigkeit von Vorbereitungssignalen, welche, von der Steuerschaltung erzeugt, über Vorbereitungssignalleitungen  $VS$  den Gate-Anschlüssen dieser MOSFETS zugeführt werden.

Lediglich einer der MOSFETS,  $T_{20}$ , dessen Gate mit positivem Potential und dessen Source mit negativem Potential  $-U$  verbunden ist, ist ständig durchgeschaltet.

Alle MOSFETS bilden auch Lastwiderstände. Diese sind so dimensioniert, daß die einzelnen Strompfade vorgegebene Teilströme führen. In dem in Fig. 2 dargestellten Datentreiber ist der rechts dargestellte Strompfad so ausgelegt, daß der über die MOSFETS  $T_{10}$  und  $T_{20}$  fließende Strom geringfügig unter dem über den Arbeitswiderstand fließenden Nennstrom bleibt. Die anderen Strompfade sind so ausgelegt, daß sie in ihrer Gesamtheit, d.h. parallelgeschaltet, einen zusätzlichen Strom liefern, der den über den Arbeitswiderstand fließenden Strom auf einen Wert, wenig über den Nennstrom hinaus, erhöht. Die Lastwiderstände der einzelnen Strompfade sind dabei entweder gleichgroß oder aber so abgestuft, daß sich ihre Leitwerte wie Potenzen einer positiven Zahl, z.B. der Zahl 2 verhalten.

Anstelle von MOSFETS können in einer Datentreiberschaltung, wie sie in Fig. 2 wiedergegeben ist, auch Bipolartransistoren verwendet werden. Um

die gewünschten Widerstandswerte für die einzelnen Strompfade zu erhalten, werden dann zweckmäßig Widerstände eingefügt. Desgleichen ist die Verwendung von p-Kanal-MOSFETS anstelle der in Fig. 2 dargestellten n-Kanal-MOSFETS möglich wie auch der Aufbau der Datentreiberschaltungen mit umgekehrter Ausgangspolarität.

In Fig. 3 ist das Prinzip einer Steuerschaltung wiedergegeben, die geeignet ist, Vorbereitungssignale für eine größere Anzahl von z.B. in einem IC vereinigten Datentreibern abzugeben.

Ein Vorwärts-Rückwärts-Zähler VRZ zählt Impulse eines Taktgebers  $TG$ , die über je ein Und-Glied entweder auf einen Vorwärtszähleingang  $VE$  oder auf einen Rückwärtszähleingang  $RE$  gelangen. Der Parallelausgang des Vorwärts-Rückwärts-Zählers ist auf einen Multiplexer  $MX$  geführt, dessen Ausgängen die Vorbereitungssignale  $VS_1$ , ...,  $VS_n$  entnommen werden. Die Vorbereitungssignale werden auch einem Referenz-Datentreiber  $RT$  zugeführt, der in seinem Aufbau den Nutz-Datentreibern entspricht, jedoch anstatt auf eine Signalleitung, auf einen Referenzwiderstand  $R_A$  arbeitet. Werden bei diesem Referenztreiber alle die sonst von der Datenleitung angesteuerten Transistoren ständig durchgeschaltet, so fließt über den Referenzwiderstand ein Strom, der von Anzahl und Wertigkeit der Vorbereitungssignale abhängig ist und der den Nennstrom darstellt.

Zur Konstantregelung dieses Nennstromes wird die am Referenzwiderstand  $R_A$  gegen positives Potential  $+U$  abfallende Spannung abgegriffen und in einem Komparator  $K$  mit einer vorgegebenen Referenzspannung  $U_R$  verglichen. Der Komparatorausgang ist einmal direkt, einmal über einen Inverter mit Eingängen der Und-Glieder verbunden, die den beiden Zählereingängen vorgeschaltet sind.

Übersteigt der am Referenzwiderstand auftretende Spannungsabfall die Referenzspannung, wird durch den Komparator der Rückwärtszähleingang des Zählers  $VRZ$  geöffnet. Der Zähler zählt damit rückwärts, was zur Abschaltung von Vorbereitungssignalen und damit zur Unterbrechung von Strompfaden in den Datentreibern führt. Da auch der Referenzdatentreiber von den Vorbereitungssignalen beaufschlagt wird, sinkt auch der Strom durch den Referenzwiderstand  $R_A$ . Der durch diesen Strom verursachte Spannungsabfall sinkt dadurch unter die Referenzspannung  $U_R$  ab, was ein Umsteuern des Rückwärtszähleingangs und die Öffnung des Vorwärtszähleingangs der Zählers  $VRZ$  zur Folge hat. Der Zähler aktiviert damit wieder zusätzliche Vorbereitungssignalleitungen.

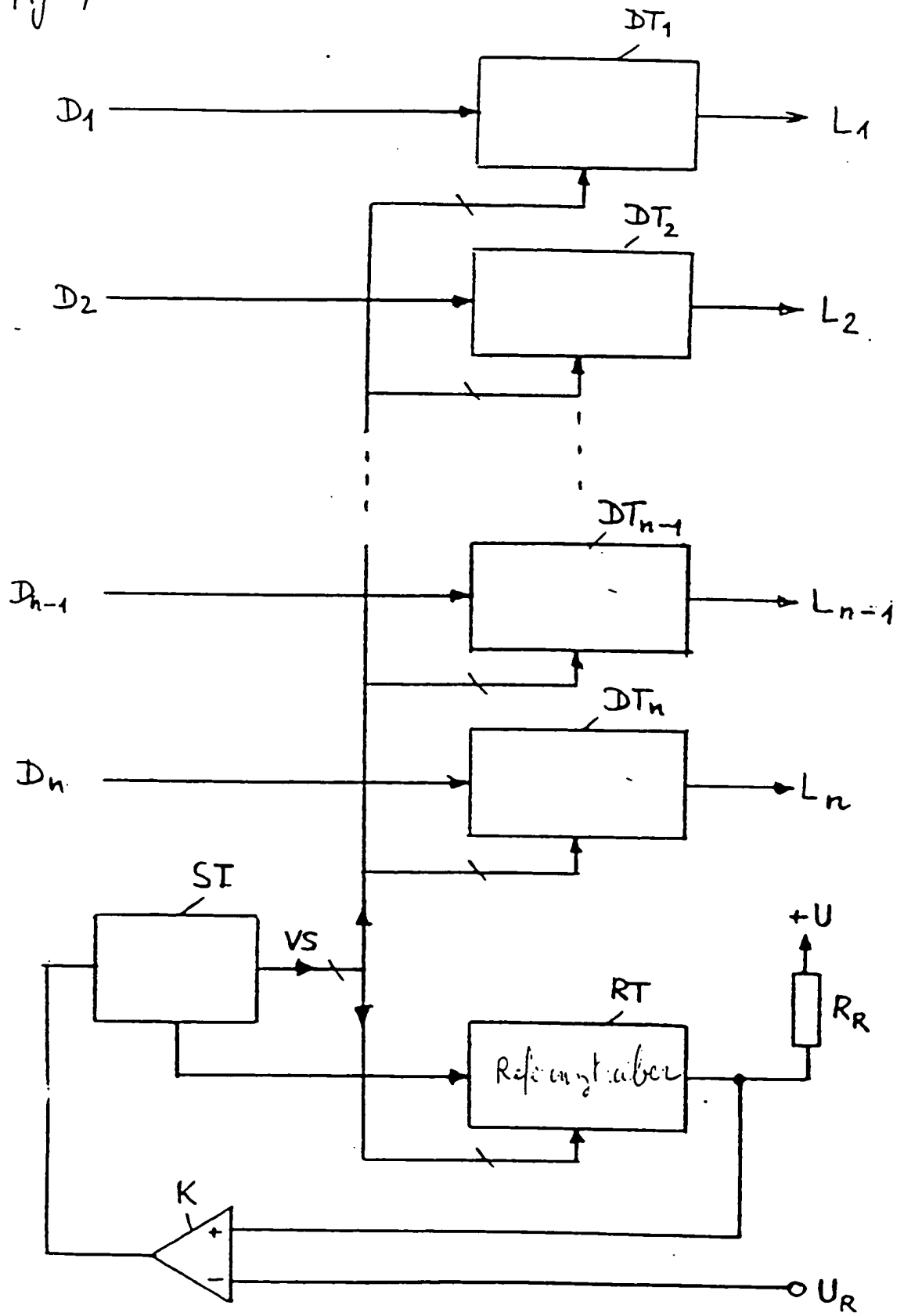
Wird anstelle eines gewöhnlichen Komparators ein Fensterkomparator eingesetzt, so kann leicht ein Zustand realisiert werden, in dem der Zähler weder vorwärts noch rückwärts zählt. Es besteht dann auch die Möglichkeit, die Regelung der

Treiber-Ausgangsströme nur von Zeit zu Zeit vorzunehmen. Der Referenztreiber braucht dann nicht ständig in Betriebs zu sein.

#### Patentansprüche

1. Schaltungsanordnung zur Bereitstellung eines vorgegebenen Ausgangsstromes aus einem ein Datensignal auf eine Leitung ausgebenden Datentreiber mit einem Komparator zur Erfassung einer Ausgangsspannung und Bewertung dieser Ausgangsspannung gegenüber einer Referenzspannung und mit einer Steuerschaltung, welche abhängig vom Ausgangssignal des Komparators ein Stellglied ansteuert, das den Ausgangsstrom verändert, dadurch gekennzeichnet, daß das Stellglied mehrere parallele ( $T_{10}$ ,  $T_{20}$ , ...,  $T_{1n}$ ,  $T_{2n}$ ) Strompfade besitzt, welche je einen ohm'schen Lastwiderstand aufweisen und unabhängig voneinander einschaltbar sind, wobei zur Einschaltung eines Strompfades ein dem Datentreiber zugeführtes Datensignal und ein Vorbereitungssignal der Steuerschaltung (ST) im Sinne einer Und-Verknüpfung zusammenwirken und daß ein Vorbereitungssignal nur an Schaltelemente solcher Strompfade ausgegeben wird, deren Durchgangsströme in ihrer Summe dem vorgegebenen Ausgangsstrom entsprechen.
2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß ein erster der parallelen Strompfade einen ohm'schen Lastwiderstand aufweist, der so bemessen ist, daß der über ihn fließende Strom um einen vorgegebenen Betrag niedriger als der vorgegebene Ausgangsstrom ist und daß die ohm'schen Lastwiderstände der anderen parallelen Strompfade untereinander gleich und so hoch bemessen sind, daß die über sie fließenden Ströme zusammen mit dem über den ersten parallelen Strompfad fließenden Strom einen Gesamtstrom ergeben, der um einen vorgegebenen Betrag höher als der vorgegebene Ausgangsstrom ist.
3. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die ohm'schen Lastwiderstände der parallelen Strompfade so bemessen sind, daß die über sie fließenden Ströme einen Gesamtstrom ergeben, der um einen vorgegebenen Betrag höher als der vorgegebene Ausgangsstrom ist und daß sich die Leitwerte der ohm'schen Lastwiderstände zueinander wie Potenzen einer positiven Zahl, insbesondere der Zahl 2, verhalten.
4. Schaltungsanordnung nach Anspruch 1, 2 oder 3, dadurch gekennzeichnet, daß die Steuerschaltung (ST) über weitere Stellglieder die Ausgangsströme weiterer gleichartiger Datentreiber ( $DT_1$ , ...,  $DT_n$ ) verändert.
5. Schaltungsanordnung nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß ein auf einen Referenzwiderstand arbeitender, dem Datentreiber in seinem Aufbau entsprechender Referenzdatentreiber vorgesehen ist und daß als Ausgangsspannung zur Bewertung gegenüber einer Referenzspannung die Ausgangsspannung dieses Referenzdatentreibers verwendet wird.
6. Schaltungsanordnung nach Anspruch 5, dadurch gekennzeichnet, daß der Referenzdatentreiber (RT) nur von Zeit zu Zeit - für eine vorgegebene Zeit - angeschaltet wird, und daß die Steuerschaltung (ST) ein während dieser Anschaltzeit ermitteltes Stellglied-Steuersignal speichert und bis zur nächsten Anschaltzeit bereithält.
7. Schaltungsanordnung nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß die Steuerschaltung einen Zähler (VRZ) enthält, der abhängig vom Komparator-Ausgangssignal aufwärts oder abwärts zählt und daß bei Erreichen vorgegebener Zählerstände Vorbereitungssignale an Schaltelemente ( $T_{10}$ , ...,  $T_{2n}$ ) vorgegebener Strompfade ausgegeben werden.
8. Schaltungsanordnung nach Anspruch 7, dadurch gekennzeichnet, daß der Zähler einen Binärausgang besitzt, daß die auf den Ausgangs-Bitleitungen dieses Binärausgangs anstehenden Signale als Vorbereitungssignale für Schaltelemente ( $T_{21}$ , ...,  $T_{2n}$ ) vorgegebener paralleler Strompfade verwendet werden, und daß die Zuordnung der Strompfade zu den einzelnen, die Vorbereitungssignale führenden Ausgangs-Bitleitungen so gewählt ist, daß der Leitwert eines jeweiligen Strompfades der Wertigkeit der das Vorbereitungssignal für den Strompfad führenden Bitleitung proportional ist.

Fig 1



12) EUROPEAN PATENT APPLICATION

21) Filing Number.: 91116818.5

51) Int. Cl.<sup>5</sup>: H04L 25/08

22) Application date: 10.02.91

30) Convention priority: 10.26.90 DE 4034043	72) Inventor: Banniza, Thomas Max-Eyth-Strasse 14 W-7254 Hemmingen (DE)
43) Disclosure date: 4.29.92 Patent gazette 92/18	
84) Contract states: AT BE CH DE DK ES FR GB IT LI NL SE	74) Representative: Puchhold, Eberhard, cert.- phys. et al. Standard Elektrik Lorenz AG Patent and Licensing Postfach 30 09 29 W-7000 Stuttgart 30 (DE)
71) Applicant: Standard Elektrik Lorenz Joint Stock Company Lorenzstrasse 10 W-7000 Stuttgart 40 (DE)	

54) Circuit arrangement for supplying a fan-out current for a data driver unit.

57) A circuit arrangement is presented for supplying a specified fan-out current for a data driver unit (D1) operating on a transmission line (L). In this case the fan-out current flows through a plurality of partial current paths which are switched in parallel, and of which as many are connected through by a control circuit (ST) as required for the total current to represent the desired fan-out current. The control circuit itself is controlled by a comparator (K), which compares the fan-out current of the data driver unit or an equivalent reference data driver unit (RT) with a reference voltage (UR) and makes the control circuit switch on or switch off partial current paths when the fan-out current of the data driver unit deviates from the reference voltage.

The invention relates to a circuit arrangement according to the preamble of claim 1.

In order to transmit unadulterated wide band signals over a line it is necessary to precisely adjust the output impedance of the transmitter and the input impedance of the receiver to the characteristic impedance of the transmission line. This becomes difficult, especially when integrated circuits whose impedances can not be efficiently adjusted during production to within a few percent of a specified value are used as the transmitters or receivers.

In order to preserve a precise impedance value despite this, one can produce a circuit with a very high output or input impedance and hook up to it an external resistance element. The external resistance element can be relatively easily adjusted, such that the total impedance corresponds to the required impedance.

The high resistivity of such a circuit, in particular when adapting the outputs, causes a high degree of dependance of the output level as well as all levels on the line being driven on the fan-out current. Consequently, the last one has to be adjusted as precisely as possible and held constant.

However, as a rule, the nominal fan-out currents of integrated circuits vary due to process fluctuations and due to temperature and supply voltage variations within a range which can attain  $\pm 20\%$  in bipolar systems, and over  $\pm 50\%$  in CMOS systems. This leads to unacceptable fluctuations of signal levels on the driven line.

Because of this, attempts have already been made to regulate the output impedances of the output circuits continuously. Such a circuit is known, for example, from a paper by Knight and Krymm in IEEE Journal of solid-state circuits, vol. 23, No. 2, April 1988. However, for regulation purposes, this circuit requires analog components such as, for example, linear amplifiers (Fig. 9), which render them useless for wide band signals with more than 50 MBi/s. Besides this, in this case one employs as current sources low-resistance switches which are connected to integrated, adjustable series resistances.

The object of the invention is to present a circuit arrangement, which permits to adjust the fan-out current without analog circuits, and is suitable for wide band signals up to 150 MBi/s.

A circuit arrangement which accomplishes this task is described by the characteristics of claim 1. The parallel switching of various current paths, which form equal or different staggered parallel output resistances, allow to adjust the total output resistance digitally using only switches.

Further details of circuit arrangement according to the invention are presented in the sub-claims.

Thus, claims 2 and 3 relate to the magnitudes of the parallel output resistances. Claim 4 provides for the regulation of servo components of several data driver units by a single control circuit. In doing this according to an embodiment of the circuit arrangement according to invention described in claim 5 this single control circuit can be assigned to a reference data driver unit, which is not used for data transmission, but, instead, operates on a transmission line at a previously specified reference resistance.

The object of claim 6 is a measure for saving energy. It also prevents a heating up of the reference impedance and a potential change of the impedance value associated with this heating.

Finally, claims 7 and 8 relate to embodiments of the control circuit which steer the servo components of one or more data driver units.

Example embodiments of control circuit according to the invention will now be described in detail, including their functioning, based on the figures.

Fig. 1 shows a block circuit diagram of a multiple data driver unit with a reference driver,

Fig. 2 shows the structure of a data driver unit,

Fig. 3 shows the structure of a control circuit.

Fig. 1 shows a series of data driver units  $DT_1 \dots DT_n$ , which pass signals delivered to them through data inputs  $D_1 \dots D_n$  to transmission lines  $L_1 \dots L_n$ . The data driver units have defined output impedances, which are adapted to the characteristic impedances of the transmission lines and are constituted by external output resistances (not shown). The required fan-out currents flow through one or several current paths which are switched in



parallel and connected individually by a preparation signal VS issued separately for each current path of a data driver unit from a control circuit.

The preparation signals VS are issued by the control circuit ST depending on the output signal of a comparator K, which compares the output voltage of a reference data driver unit RT operating with a reference resistance  $R_R$  with a previously specified reference voltage  $U_R$ , and orders the control circuit to connect additional current paths if the output voltage measured on the reference data driver unit drops below the reference voltage. This connection is performed by issuing other or additional preparation signals, which affect all data driver units including the reference data driver unit.

Inside the data driver units the preparation signals are added to the data arriving via the corresponding data inputs, such that the desired nominal currents flow through the external output resistances, and data are sent out to the signal lines with the desired amplitudes.

The structure of a data driver unit is illustrated in Fig. 2. A plurality of current paths, each comprised of two MOS field effect transistors (MOSFETS)  $T_{10}, T_{20}, \dots, T_{1n}, T_{2n}$  switched in series, are connected in parallel with respect to each other and comprise in their totality a partial resistance of a voltage divider. The other partial resistance of this voltage divider is an external work resistor  $R_A$  connected to positive voltage  $+U$ . At the junction point between the two partial resistances is connected a signal line L.

Of the MOS field effect transistors switched in series the ones shown on the top in the figure, MOSFETS  $T_{10}, \dots, T_{1n}$ , serve for switching through a stream of digital data supplied through a data input D. MOSFETS  $T_{20}, \dots, T_{2n}$ , shown on the bottom in the figure, are used for connecting the individual current paths depending on the preparation signals, which are generated by the control circuit, and supplied via the preparation signal lines VS to the gate terminals of these MOSFETS.

Just one MOSFET,  $T_{20}$ , whose gate is hooked up to positive voltage and whose source is connected to negative voltage  $-U$  is switched through at all times.

All MOSFETS also represent load resistances. Their magnitudes are chosen such that the individual current paths conduct specified partial currents. In the data driver unit shown in Fig. 2 the current path illustrated on the right is designed in such a way, that the current flowing through MOSFETS  $T_{10}$  and  $T_{20}$  remains slightly below the nominal current

flowing through the work resistor. The other current paths are designed in such a way, that in their totality, i.e. switched in parallel, they deliver a supplementary current, which increases the current flowing through the work resistor to a value slightly above the nominal current. In this case, the load resistors of the individual current paths are either equal or graded in such a manner, that their electric conductances are related to each other by powers of a positive number, for example, of the number 2.

In a data driver circuit, such as the one illustrated in Fig. 2, one can also use bipolar transistors instead of MOSFETS. In this case, resistances are added in order to preserve the desired resistance values for the individual current paths. Likewise, it is also possible to use p-channel MOSFETS instead of the n-channel MOSFETS shown in Fig. 2, and it is also possible to construct the data driver units with reversed output polarity.

Fig. 3 illustrates the principle of a control circuit, which is suited for issuing preparation signals for a larger number of, for example, data driver units combined in one integrated circuit.

An up-down counter VRZ counts pulses of a clock TG, which arrive individually each through an AND gate either to an up-counting input VE or a down-counting input RE. The parallel output of the up-down counter is hooked up to a multiplexer MX, from whose outputs are derived the preparation signals VS1, ... VS<sub>n</sub>. The preparation signals are also supplied to a reference data driver unit RT, which corresponds to the usable data driver units in its construction, but, instead of being connected to a signal line, it operates with a reference resistance R<sub>R</sub>. In case all of the transistors in this reference driver unit, which are otherwise controlled by the data line, are switched through all the time, then the current flowing through the reference resistance depends on the number and valency of the preparation signals and represents the nominal current.

For continuous control of this nominal current one measures on the reference resistance R<sub>R</sub> the voltage drop with respect to the positive voltage +U and compares it with a specified reference voltage U<sub>R</sub> in a comparator K. The output of the comparator is connected once directly and once via an inverter with the inputs of the AND gates, which are switched before the two counter inputs.

If the voltage drop recorded across the reference resistance exceeds the reference voltage, then the comparator opens the down-counting input of the counter VRZ.

Consequently, the counter counts down, which leads to switching off of preparation signals and thus to the interruption of current paths in the data driver units. Since the reference data driver unit also receives the preparation signals, the current through the reference resistance  $R_R$  drops as well. Consequently, the voltage drop caused by this current falls below the reference voltage  $U_R$ , which causes a reversing of the down-counting input and opening of the up-counting input of counter VRZ. Thus, the counter again activates additional preparation signal lines.

If one employs a window comparator instead of conventional comparator, then one can easily produce a condition in which the counter does not count up or down. One also has the possibility of only regulating the driver fan-out currents from time to time. In this case the reference driver unit does not need to be operating continuously.

### Claims

1. Circuit arrangement for producing a specified fan-out current, comprising a data driver unit which sends out a data signal on a line and has a comparator for measuring an output voltage and evaluating this output voltage in comparison to a reference voltage, and also has a control circuit, which, depending on the output signal of the comparator, controls a servo component which changes the fan-out current, **characterized in that** the servo component possesses a plurality of parallel switched current paths ( $T_{10}, T_{20}, \dots, T_{1n}, T_{2n}$ ), each exhibiting a resistive load and capable of being switched on independently of each other, whereby the turning on of a current path is accomplished jointly by a data signal supplied to the data driver unit and a preparation signal of the control circuit (ST) through applying to them an AND function, and in that the preparation signal is issued only to circuit elements of those current paths, whose total sum of pass-through currents corresponds to the specified fan-out current.
2. Circuit arrangement according to claim 1, characterized in that the first one of the parallel current paths exhibits a resistive load whose magnitude is such, that the current flowing through it is smaller than the specified fan-out current by a specified amount, and that the resistive loads of the other parallel current paths are equal amongst each other and have such a magnitude, that the currents flowing through them together with the current flowing through the first parallel current path yield a total current, which is larger than the specified fan-out current by a specified amount.

3. Circuit arrangement according to claim 1, characterized in that the resistive loads of the parallel current paths exhibit such magnitudes, that the currents flowing through them yield a total current which is larger than the specified fan-out current by a specified amount, and that electric conductance values of the resistive loads are related to each other by powers of a positive number, in particular the number 2.
4. Circuit arrangement according to claim 1, 2 or 3, characterized in that the control circuit (ST) uses additional servo components to change the fan-out currents of additional data driver units ( $DT_1, \dots, DT_n$ ) of the same type.
5. Circuit arrangement according to one of the preceding claims, characterized in that a reference data driver unit which operates with a reference resistance and whose structure corresponds to that of a data driver unit is provided, and in that the output voltage of this reference data driver is used as the output voltage for comparison with a reference voltage.
6. Circuit arrangement according to claim 5, characterized in that the reference data driver unit (RT) is only switched on from time to time for a specified duration, and that the control circuit (ST) stores a servo component control signal determined during this time and keeps it memorized until the next switch-on time.
7. Circuit arrangement according to one of the preceding claims, characterized in that the control circuit comprises a counter (VRZ) which counts up or down depending on the comparator output signal, and that when a specified counter status is achieved preparation signals are issued to circuit elements ( $T_{1,0}, \dots, T_{2,n}$ ) of specified current paths.
8. Circuit arrangement according to claim 7, characterized in that the counter has a binary output, and that the signals appearing at the output bit-lines of this binary output are used as preparation signals for circuit elements ( $T_{21}, \dots, T_{2n}$ ) of specified parallel current paths, and in that the assignment of current paths to the individual output bit-lines supplying the preparation signals is chosen in such a way, that the electric conductivity of each individual current path is proportional to the valence of the bit-line which delivers the preparation signal for that current path.

Fig 1

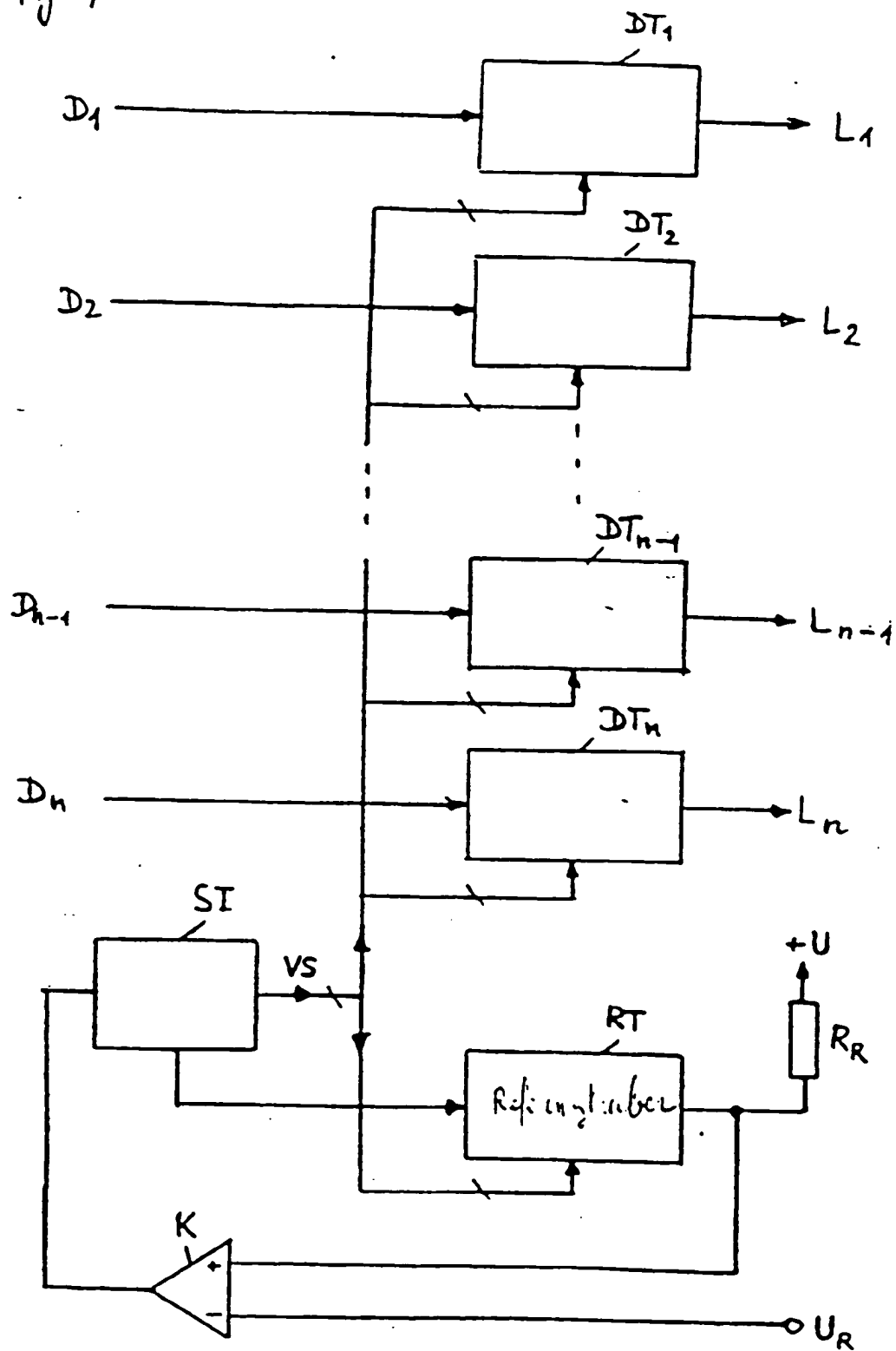


Fig 2

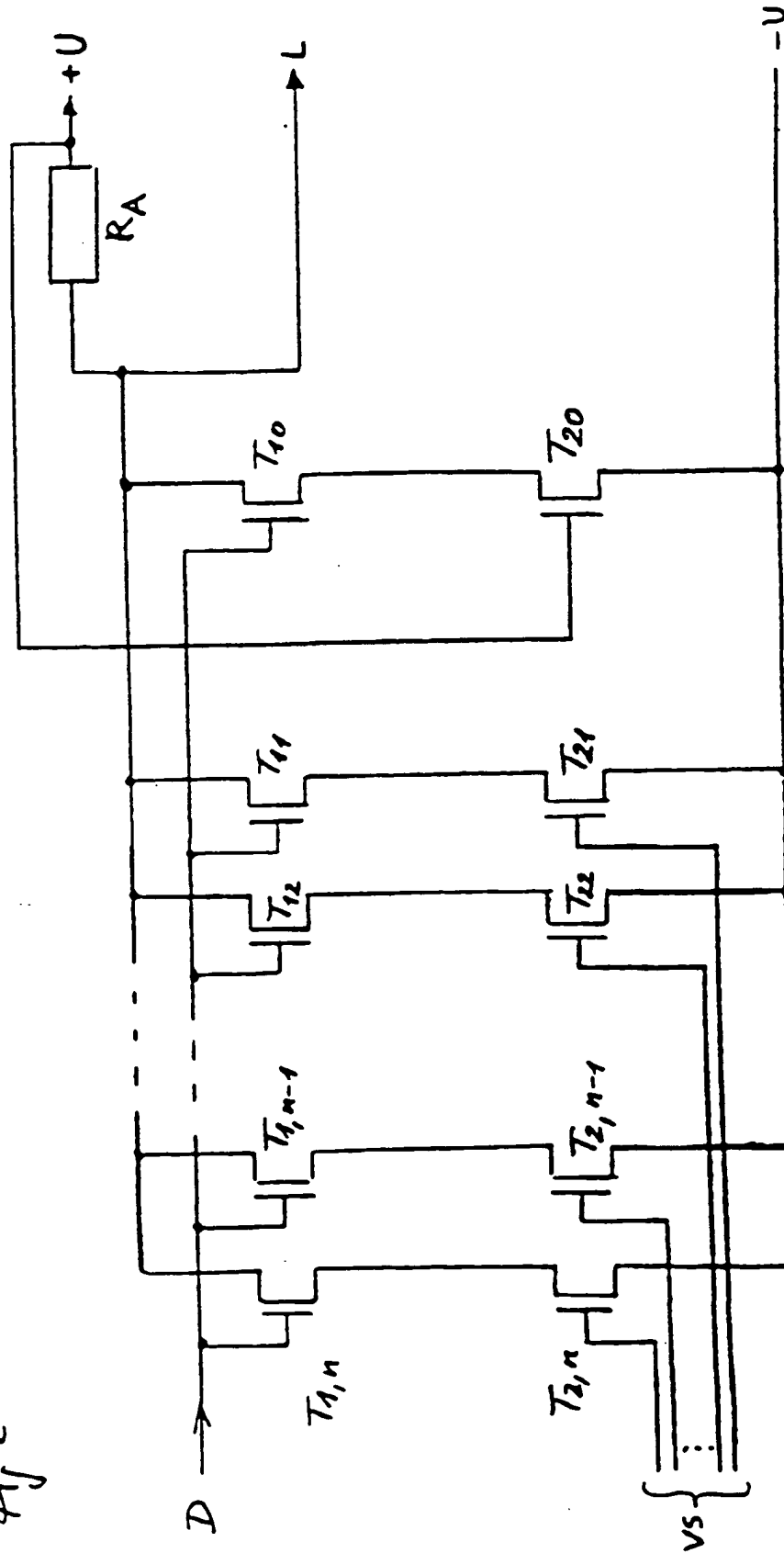


Fig 3

